

【공개특허 제2001-64328호(2001.07.09) 1부.】

특 2001-0064328

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>

H01L 29/78

(11) 공개번호 특2001-0064328

(43) 공개일자 2001년 07월 09일

(21) 출원번호

10-1999-0064496

(22) 출원일자

1999년 12월 29일

(71) 출원인

주식회사 하이닉스반도체 박종섭

(72) 발명자

경기 이천시 부발읍 아미리 산136-1  
차희돈

(74) 대리인

대전광역시유성구장대동236-45  
박대진, 정은섭

심사청구 : 없음

## (54) 인버스 T형 LDD 구조의 모스 트랜지스터의 제조방법

## 요약

인버스 T형 LDD 구조의 모스 트랜지스터의 제조 방법에 대해 개시되어 있다. 본 발명은 반도체기판의 소정 영역을 등방성 식각하여 기판에 홀을 형성한 후에 기판 전면에 게이트 산화막, 게이트 도전층을 순차적으로 형성하고, 홀 이외의 평탄화된 게이트 산화막 높이까지 게이트 도전층을 패터닝해서 인버스 T형 게이트전극을 형성한 후에, 인버스 T형 게이트전극에지의 기판 내에 LDD영역을 형성하고, 게이트전극 측벽에 스페이서를 형성한 후에 스페이서 에지의 기판 근방에 높은 소오스/드레인 접합을 형성한다. 이에 따라, 본 발명은 간단한 제조 공정으로 인버스 T형 게이트전극 및 높은 소오스/드레인 접합을 동시에 구현할 수 있어 쇼트채널 효과 및 핫캐리어에 내성이 강하면서 낮은 접합 저항을 확보할 수 있다.

## 도면도

## 도 1d

## 영역시

## 도면의 간단한 설명

도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 인버스 T형 LDD 구조의 모스 트랜지스터의 제조 방법을 설명하기 위한 공정 순서도,

도 2는 본 발명의 다른 실시예에 따른 인버스 T형 LDD 구조의 모스 트랜지스터를 나타낸 수직 단면도.

## \* 도면의 주요부분에 대한 부호의 설명 \*

10 : 실리콘기판

12 : 필드산화막

14 : 웰

16 : 필드 스탑 영역

18 : 문턱 전압 조정영역

20, 28 : 포토레지스트 패턴

22 : 등방성 식각

24 : 게이트산화막

26 : 도프트 폴리실리콘막

30 : LDD 영역

29, 32 : 스페이서

34 : 소오스/드레인 접합

## 본 발명의 상세한 설명

## 본 발명의 목적

## 본 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 방법에 관한 것으로서, 특히 고집적화 반도체장치의 낮은 누설전류 및 접합 커패시턴스를 달성하면서 핫캐리어 효과를 방지할 수 있는 인버스 T형 LDD 구조의 모스 트랜지스터의 제조 방법에 관한 것이다.

반도체장치가 고집적화될수록 트랜지스터의 채널길이가 감소되고 이에 따른 쇼트채널효과(short channel)로 소자특성의 열화가 발생하므로 이를 방지하고 펀치스루(punch-through)에 대한 마진확보가 필요하게

록2001-0064328

되었다.

근래에는 ITLDD(Inverse-T shape gate Lightly Doped Drain)는 인버스 T형인 게이트전극을 사용하여 LDD 영역의 저항을 감소시키고 이로 인해 디바이스의 온 저항(on-resistance)을 줄여서 전류 구동능력을 향상시키는 장점을 가지고 있다. 그러나, 소스/드레인 및 인버스 T형 게이트전극 사이의 오버랩(overlap)되는 면적이 증가하기 때문에 접합 커패시턴스도 증가하게 된다. 이에 따라, 증가된 커패시턴스에 의해 디바이스의 처리 속도가 저하되는 문제점이 있었다.

한편, MOS 트랜지스터의 쇼트 채널효과를 극복하면서 낮은 접합저항을 달성하고자 얇은 소오스/드레인의 접합층을 형성하는 한가지 방법으로 소오스/드레인 접합을 채널영역과 임직선상에 위치시키지 않고 채널 영역보다 위쪽에 형성시키는 높은(elevated) 소오스/드레인 접합 구조를 갖는 트랜지스터 제조가 활성화되고 있지만, 선택적 에피택셜층을 성장시키는 방법이 있는데, 이 방법은 제조 공정이 다소 복잡하다는 문제점이 있었다.

#### 본 발명이 이루고자하는 기술적 과제

본 발명의 목적은 기판에 등방성 식각 공정을 실시해서 홈을 형성하고 그 기판 위에 인버스 T형 게이트전극을 형성한 후에 높은(elevated) 소오스/드레인 접합 영역을 형성함으로써 간단한 제조 공정으로 쇼트 채널 효과 및 한계리미에 내성이 강하면서 낮은 접합 저항을 확보할 수 있는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법을 제공함에 있다.

#### 본 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명은 인버스 T형 LDD 구조의 MOS 트랜지스터 제조 방법에 있어서, 필드 산화막이 형성된 반도체 기판의 소정 영역을 등방성 식각하여 기판에 홈을 형성하는 단계와, 등방성 식각된 기판 전면에 게이트 산화막, 게이트 도전층을 순차적으로 형성하는 단계와, 게이트 마스크를 이용한 사진 및 식각 공정을 실시하여 홈 이외의 평탄화된 게이트 산화막 높이까지 게이트 도전층을 패터닝해서 인버스 T형 게이트전극을 형성하는 단계와, 결과물에 불순물 이온을 저농도로 주입하여 인버스 T형 게이트전극에서의 기판 내에 LDD영역을 형성하는 단계와, 인버스 T형 게이트전극 측벽에 절연물로 된 스페이서를 형성하는 단계와, 결과물에 불순물 이온을 고농도로 주입하여 스페이서에서의 기판 근방에 높은 소오스/드레인 접합을 형성하는 단계를 포함하여 이루어진다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세하게 설명하고자 한다.

도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법을 설명하기 위한 공정 순서도로서, 이를 참조하면 본 발명의 일 실시예는 다음과 같다.

우선, 도 1a에 도시된 바와 같이, 반도체 기판으로서 실리콘 기판(10) 내에 일련의 소자분리 공정을 거쳐 필드 산화막(12)을 형성한다. 그리고, 기판내에 웰(well)(14), 필드 스톱(field stop)(16), 및 문턱전압(threshold voltage)(18) 조정 이온주입 공정을 실시하여 해당 불순물 이온 주입 영역을 형성한 후에 불순물 확산을 위해서 어닐링 공정을 실시한다.

그리고, 인버스 T형 게이트전극과 높은 소오스/드레인 접합을 동시에 구현하기 위하여 게이트전극의 소정 영역을 개방하는 포토레지스트 패턴(20)을 형성한 후에 등방성 식각 공정을 실시하여 기판에 홈(22)을 형성한다. 여기서, 등방성 식각 깊이는 이후 형성될 게이트전극의 높이에서 30%~300%의 비율로 하되, 바람직하게는 500Å~5000Å로 한다.

그 다음, 포토레지스트 패턴(20)을 제거하고 도 1b에 도시된 바와 같이, 등방성 식각된 기판 전면에 게이트 산화막(24), 게이트 도전층으로서 도프트 폴리실리콘(26)을 순차적으로 형성한다. 그리고, 게이트 마스크를 이용한 사진공정을 진행하여 도프트 폴리실리콘(26) 상부에 포토레지스트 패턴(28)을 형성한다.

이어서, 도 1c에 도시된 바와 같이 건식 식각 공정을 실시하여 포토레지스트 패턴(28)에 맞추어 도프트 폴리실리콘을 패터닝하되, 홈 이외의 평탄화된 게이트 산화막 높이까지 도프트 폴리실리콘을 패터닝해서 인버스 T형 게이트전극(26')을 형성한다. 그리고, 포토레지스트 패턴(28)을 제거한다.

그 다음, 도 1d에 도시된 바와 같이, 상기 결과물에 불순물 이온을 저농도로 주입하여 인버스 T형 게이트전극(26')에서의 기판 내에 LDD영역(30)을 형성한다. 그리고, 결과물 전면에 절연체로서 질화물을 증착하고 이를 건식 식각해서 인버스 T형 게이트전극(26') 측벽에 스페이서(32)를 형성한다. 이어서, 상기 결과물에 LDD와 동일한 도전형 불순물 이온을 고농도로 주입하여 상기 스페이서(32)에서의 기판 근방에 높은(elevated) 소오스/드레인 접합(34)을 형성한다.

이와 같이, 본 발명에 따른 제조 공정에 의해 ITLDD구조의 MOS 트랜지스터를 완성한다.

그러므로, 본 발명은 게이트 부위의 기판을 먼저 등방성 식각한 후에 인버스 T형 게이트전극을 형성하고, 등방성 식각 공정에 의해 높아진 게이트전극에서 근방의 기판에 높은 소오스/드레인 접합을 형성함으로써 소스/드레인과 게이트 사이의 오버랩 면적을 줄일 뿐만 아니라 종래 적선 채널 길이가 곡선 형태로 변화되어 쇼트 채널 효과가 감소된다.

그리고, 본 발명은 게이트전극을 형성하기 전에 기판내에 필드 스톱 및 문턱전압 조정 이온주입 공정을 추가 실시하기 때문에 소오스/드레인 접합 아래 도프트 농도가 작아 접합 커패시턴스를 크게 줄일 수 있다.

도 2는 본 발명의 다른 실시예에 따른 인버스 T형 LDD 구조의 MOS 트랜지스터를 나타낸 수직 단면도로서

특 2001-0064328

서, 마를 참조하면 본 발명의 다른 실시예는 다음과 같다.

우선, 도 1의 제 2 공정과 동일하게 게이트도전층인 도프트 폴리실리콘(26)을 패터닝하고, 소정 높이로 1차 패터닝한 후에 포토레지스트 패턴을 제거한다. 그리고, 패터닝된 도프트 폴리실리콘의 측벽에 작은 스페이서(29)를 추가 형성한 후에 이 스페이서를 마스크로 삼아 나머지 도프트 폴리실리콘을 평탄화된 게이트산화막(24)까지 패터닝하여 인버스 T형 게이트전극(26')을 형성한다. 그리고, LDD(30) 이온 주입 및 그 게이트전극(26')에 스페이서(32)를 형성하고 높은 소오스/드레인 접합을 위한 미온 주입 공정을 실시한다. 본 발명의 다른 실시예에 의한 MOS 트랜지스터 제조 방법은 인버스 T형 게이트전극(26')의 크기를 크게 증가시킬 수 있어 고속 동작의 반도체 소자 특성을 향상시킬 수 있다.

#### 발명의 효과

상기한 바와 같이, 본 발명은 기판에 등방성 식각 공정을 실시해서 홈을 형성하고 그 기판 위에 인버스 T형 게이트전극을 형성한 후에 높은(elevated) 소오스/드레인 접합 영역을 형성함으로써 간단한 제 2 공정으로 인버스 T형 게이트전극 및 높은 소오스/드레인 접합을 동시에 구현할 수 있어 제 2 공정의 신뢰성 및 수율을 향상시킬 수 있다.

이에 따라, 본 발명은 낮은 접합 커패시턴스에 의해 트랜지스터의 고속화를 달성할 수 있으며 쇼트채널 및 핫캐리어 효과를 줄여서 누설 전류를 감소하는 등 반도체 장치의 특성을 개선시킬 수 있다.

#### (5) 청구의 범위

청구항 1. 인버스 T형 LDD 구조의 MOS 트랜지스터 제조 방법에 있어서,

필드 산화막이 형성된 반도체 기판의 소정 영역을 등방성 식각하여 기판에 홈을 형성하는 단계;

상기 등방성 식각된 기판 전면에 게이트 산화막, 게이트 도전층을 순차적으로 형성하는 단계;

게이트 마스크를 이용한 사진 및 식각 공정을 실시하여 상기 홈 이외의 평탄화된 게이트 산화막 높이까지 게이트 도전층을 패터닝해서 인버스 T형 게이트전극을 형성하는 단계;

상기 결과물에 불순물 이온을 저농도로 주입하여 상기 인버스 T형 게이트전극에지의 기판 내에 LDD영역을 형성하는 단계;

상기 인버스 T형 게이트전극 측벽에 접연물로 된 스페이서를 형성하는 단계; 및

상기 결과물에 불순물 이온을 고농도로 주입하여 상기 스페이서 에지의 기판 근방에 높은 소오스/드레인 접합을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법.

청구항 2. 제 1항에 있어서, 상기 등방성 식각 깊이는 게이트전극의 높이에서 30%~300%인 것을 특징으로 하는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법.

청구항 3. 제 1항에 있어서, 상기 등방성 식각 깊이는 500Å~5000Å인 것을 특징으로 하는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법.

청구항 4. 제 1항에 있어서, 상기 기판에 등방성 식각 공정을 진행하기 전에 기판내에 웰, 필드 스톱, 및 문턱전압 조정 이온주입 공정을 추가 실시하는 것을 특징으로 하는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법.

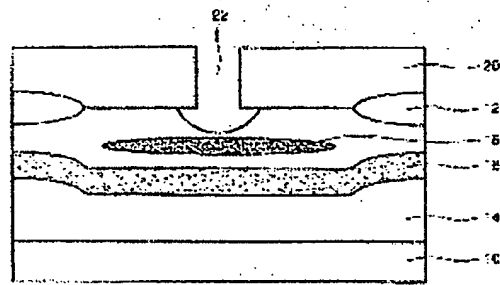
청구항 5. 제 1항에 있어서, 상기 인버스 T형 게이트전극을 형성하는 제 2 공정은, 상기 게이트도전층을 소정 부분 패터닝 하고 그 측벽에 작은 스페이서를 추가 형성하는 단계; 및

상기 스페이서를 마스크로 삼아 나머지 게이트도전층을 패터닝하여 인버스 T형 게이트전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 인버스 T형 LDD 구조의 MOS 트랜지스터의 제조 방법.

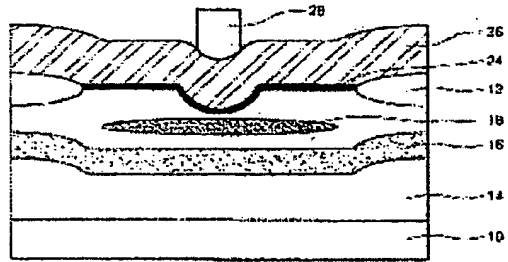
#### 도면

특 2001-0064328

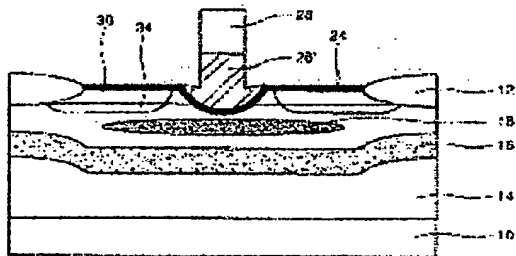
도면 1a



도면 1b



도면 1c



2001-0064328

Fig. 1d

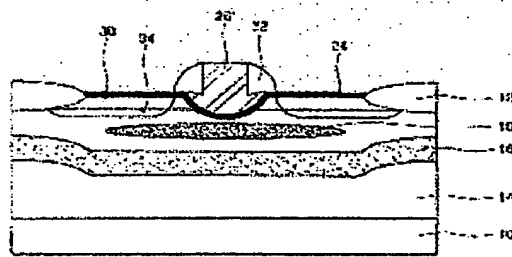
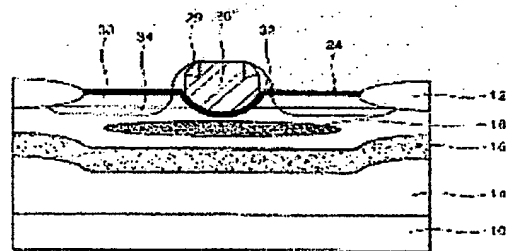


Fig. 1e



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**